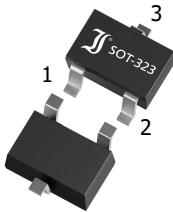
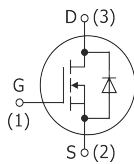


2N7002W
N-Channel Enhancement Mode FET
N-Kanal FET – Anreicherungstyp

$I_D = 115 \text{ mA}$ $V_{DSS} = 60 \text{ V}$
 $R_{DS(on)50mA} < 7.5 \Omega$ $P_{tot} = 200 \text{ mW}$
 $T_{jmax} = 150^\circ\text{C}$

Version 2021-08-06

SOT-323SPICE Model & STEP File ¹⁾

Type Code = S72
 HS Code 85412100

Typical Applications

Signal processing
 Drivers
 Logic level converter
 Commercial grade ¹⁾

Features

Fast switching times
 Compliant to RoHS (w/o exemp.),
 REACH, Conflict Minerals ¹⁾

**Mechanical Data ¹⁾**

Taped and reeled 3000 / 7"
 Weight approx. 0.01 g
 Case material UL 94V-0
 Solder & assembly conditions 260°C/10s
 MSL = 1

Typische Anwendungen

Signalverarbeitung
 Treiberstufen
 Logikpegelwandler
 Standardausführung ¹⁾

Besonderheiten

Schnelle Schaltzeiten
 Konform zu RoHS (ohne Ausn.),
 REACH, Konfliktmineralien ¹⁾

Mechanische Daten ¹⁾

Gegurtet auf Rolle
 Gewicht ca.
 Gehäusematerial
 Löt- und Einbaubedingungen

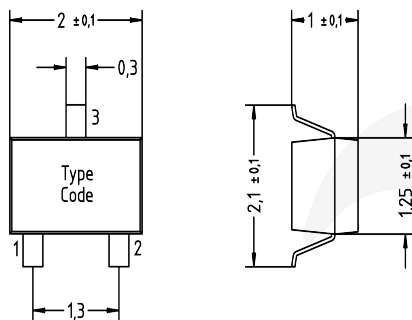
Maximum ratings ²⁾**Grenzwerte ²⁾**

		2N7002W	
Drain-Source-voltage Drain-Source-Spannung	V_{DS}		60 V
Gate-Source-voltage Gate-Source-Spannung	D open V_{GSS}		$\pm 20 \text{ V}$
Power dissipation Verlustleistung	P_{tot}		200 mW
Drain current Drainstrom	DC I_D		115 mA
Peak Drain current Drain-Spitzenstrom	I_{DM}		800 mA
Junction temperature – Sperrschichttemperatur Storage temperature – Lagerungstemperatur	T_j T_s		150°C -55...+150°C

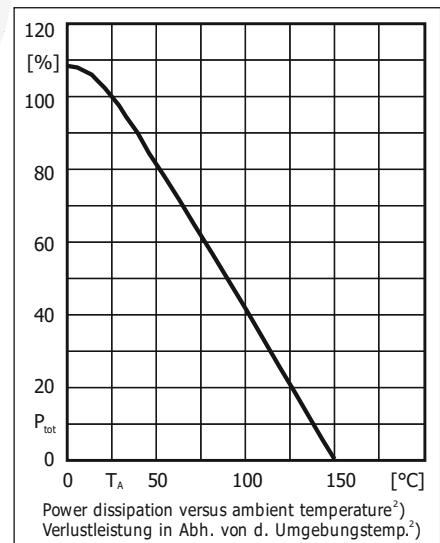
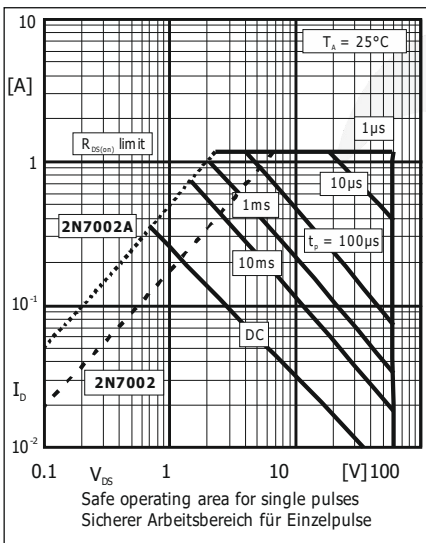
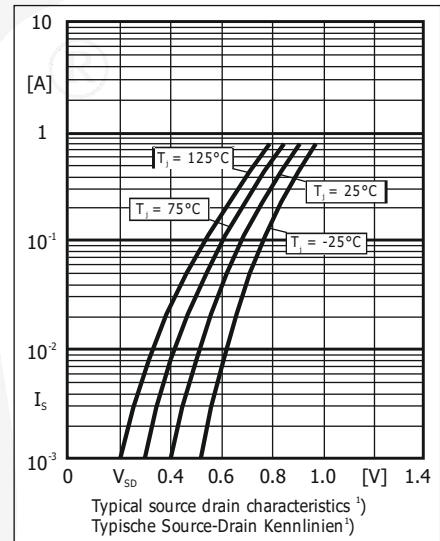
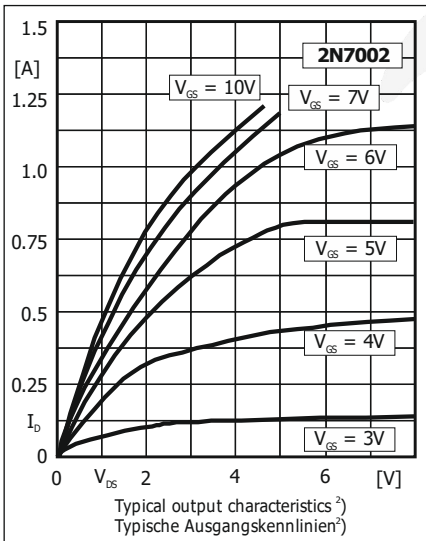
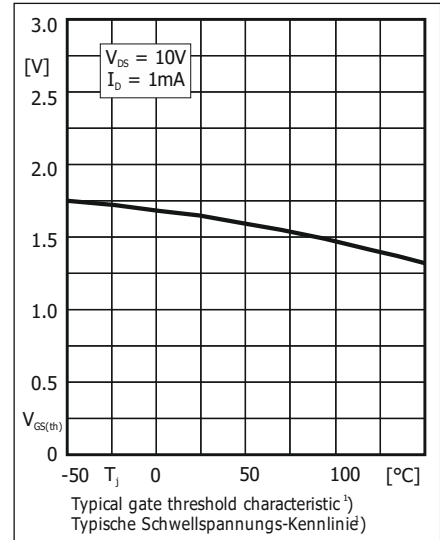
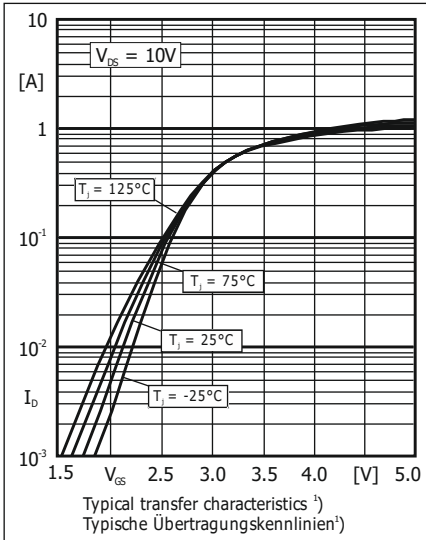
¹⁾ Please note the [detailed information on our website](#) or at the beginning of the data book
 Bitte beachten Sie die [detaillierten Hinweise auf unserer Internetseite](#) bzw. am Anfang des Datenbuches
²⁾ $T_A = 25^\circ\text{C}$, unless otherwise specified – $T_A = 25^\circ\text{C}$, wenn nicht anders angegeben

Characteristics
Kennwerte

	$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Drain-Source breakdown voltage – Drain-Source-Durchbruchspannung $I_D = 10 \mu\text{A}$	$V_{(BR)DSS}$	60 V	–	–
Drain-Source leakage current – Drain-Source Leckstrom $V_{DS} = 60 \text{ V}$ G short	I_{DSS}	–	–	1 μA
Gate-Source leakage current – Gate-Source Leckstrom $V_{GS} = 20 \text{ V}$	$\pm I_{GSS}$	–	–	100 nA
Gate-Source threshold voltage – Gate-Source Schwellspannung $V_{GS} = V_{DS}$ $I_D = 250 \mu\text{A}$	$V_{GS(th)}$	1 V	1.5 V	2 V
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 5 \text{ V}$ $I_D = 50 \text{ mA}$ $V_{GS} = 10 \text{ V}$ $I_D = 500 \text{ mA}$	$R_{DS(on)}$	–	–	7.5 Ω 13.5 Ω
Forward Transfer Admittance – Übertragungssteilheit $V_{DS} = 3 \text{ V}$, $I_D = 10 \text{ mA}$	g_{FS}	80 mS	–	–
Input Capacitance – Eingangskapazität $V_{DS} = 25 \text{ V}$, $f = 1 \text{ MHz}$	C_{iss}	–	50 pF	–
Output Capacitance – Ausgangskapazität $V_{DS} = 25 \text{ V}$, $f = 1 \text{ MHz}$	C_{oss}	–	25 pF	–
Reverse Transfer Capacitance – Rückwirkungskapazität $V_{DS} = 25 \text{ V}$, $f = 1 \text{ MHz}$	C_{rss}	–	5 pF	–
Thermal resistance junction to ambient Wärmewiderstand Sperrschicht – Umgebung	R_{thA}	< 625 K/W ¹⁾		

Dimensions - Maße [mm]


- 1 Mounted on P.C. board with 3 mm² copper pad at each terminal
Montage auf Leiterplatte mit 3 mm² Kupferbelag (Löt-pad) an jedem Anschluss
- 2 Tested with pulses $t_p = 10 \mu\text{s}$, duty cycle $\leq 1\%$ – Gemessen mit Impulsen $t_p = 10 \mu\text{s}$, Schaltverhältnis $\leq 1\%$



Disclaimer: See data book page 2 or [website](#)
Haftungsausschluss: Siehe Datenbuch Seite 2 oder [Internet](#)

1 Tested with pulses $t_p = 10 \mu s$, duty cycle $\leq 1\%$ – Gemessen mit Impulsen $t_p = 10 \mu s$, Schaltverhältnis $\leq 1\%$
2 Mounted on P.C. board with 3 mm^2 copper pad per terminal – Montage auf Leiterplatte mit 3 mm^2 Kupferbelag je Anschluss